

日本国特許庁
JAPAN PATENT OFFICE

US

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 7月19日

出願番号

Application Number:

特願2002-210628

[ST.10/C]:

[JP2002-210628]

出願人

Applicant(s):

NECエレクトロニクス株式会社

2003年 5月13日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3034329

【書類名】 特許願

【整理番号】 75010421

【提出日】 平成14年 7月19日

【あて先】 特許庁長官 殿

【国際特許分類】 H03K 19/0175
H03K 17/687
H01L 27/04

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 高橋 弘行

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 佐竹 弘之

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100080816

【弁理士】

【氏名又は名称】 加藤 朝道

【電話番号】 045-476-1131

【手数料の表示】

【予納台帳番号】 030362

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9304371

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 バッファ回路とバッファツリー及び半導体装置

【特許請求の範囲】

【請求項 1】

入力端子から入力する入力信号と出力信号を出力する出力端子を有するバッファ回路において、

互いに異なる電源電圧の第 1 の電源と第 2 の電源との間に直列形態に接続され、制御端子にそれぞれ供給される信号に基づきオン及びオフが制御される第 1 のトランジスタと第 2 のトランジスタとを備え、

前記第 1 のトランジスタと前記第 2 のトランジスタとの接続ノードが、前記バッファ回路の出力端子に接続されており、

前記第 1 のトランジスタは、その制御端子が、前記バッファ回路の入力端子に接続されており、

前記バッファ回路の入力端子に供給される入力信号を受け取る入力端子を少なくとも備え、前記第 2 のトランジスタの制御端子へ供給される信号を出力端子より出力する制御回路であって、

前記入力信号が前記第 2 の電源電圧に対応する第 2 の論理レベルのとき前記第 2 のトランジスタをオフ状態とし、前記入力信号が前記第 2 の論理レベルから、前記第 1 の電源電圧に対応する第 1 の論理レベルに切り替わると、前記第 2 のトランジスタをオン状態として、前記バッファ回路の出力端子の出力信号電圧を前記第 2 の電源電圧側に遷移させ、その後、前記入力信号が前記第 1 の論理レベルから前記第 2 の論理レベルへ遷移する前に、前記第 2 のトランジスタをオフ状態に設定し、前記入力信号が前記第 1 の論理レベルから前記第 2 の論理レベルへ遷移して、前記第 1 のトランジスタがオフ状態からオンへ切り替わるときには、前記第 2 のトランジスタがオフ状態に保たれているように制御する制御回路を備えている、ことを特徴とするバッファ回路。

【請求項 2】

前記第 1 のトランジスタの前記制御端子に入力される前記入力信号が、前記第 1 の論理レベルから前記第 2 の論理レベルへ遷移するとき、前記第 1 のトランジ

スタの前記制御端子に入力される信号電圧と前記第 1 の電源電圧との差電圧の大きさが前記第 1 のトランジスタのしきい値電圧の大きさを超えた場合に、前記第 1 のトランジスタがオンし、その際、前記第 2 のトランジスタはオフ状態に保持されており、前記バッファ回路の出力端子の出力信号電圧の前記第 1 の電源電圧側への遷移が開始される、ことを特徴とする請求項 1 記載のバッファ回路。

【請求項 3】

前記制御回路が、前記バッファ回路の入力端子に入力される入力信号と、前記バッファ回路の出力端子から出力される出力信号との論理演算結果に基づき前記第 2 のトランジスタの制御端子に供給される信号を生成する論理回路を備え、

前記論理回路は、前記バッファ回路の入力端子に入力される入力信号が前記第 1 の論理レベルであり、且つ、前記バッファ回路の出力端子から出力される出力信号が前記第 1 の論理レベルであるときに、前記第 2 のトランジスタをオン状態とする論理レベルの信号を生成して前記第 2 のトランジスタの制御端子に供給し

、
前記第 2 のトランジスタがオンし、前記バッファ回路の出力端子から出力される出力信号が前記第 2 の論理レベルとなったときに、前記第 2 のトランジスタをオフ状態とする論理レベルの信号を生成して前記第 2 のトランジスタの制御端子に供給する回路構成とされている、ことを特徴とする請求項 1 記載のバッファ回路。

【請求項 4】

前記バッファ回路の出力端子に、入力端子が接続され、前記バッファ回路の出力信号の論理レベルを記憶保持し、出力端子から記憶保持している信号を出力するフリップフロップ回路を備え、

前記フリップフロップ回路の出力端子は、前記バッファ回路の出力端子に接続されている、ことを特徴とする請求項 1 乃至 3 のいずれかに記載のバッファ回路。

【請求項 5】

前記制御回路が、前記バッファ回路の入力端子に供給される入力信号を受け取る入力端子と、前記入力信号を反転した信号を出力する出力端子を有するインバ

ータと、

前記フリップフロップ回路に記憶保持されている、前記バッファ回路の出力端子の出力信号の論理レベルを反転した信号と、前記インバータからの出力信号とを2つの入力端子からそれぞれ入力し、前記2つの入力端子から入力される信号が、ともに、前記第2の論理レベルのときに、前記第2のトランジスタをオン状態とする論理レベルの信号を、出力端子から前記第2のトランジスタの制御端子に出力する論理回路と、

を備えている、ことを特徴とする請求項4記載のバッファ回路。

【請求項6】

前記制御回路が、前記バッファ回路の入力端子に入力される入力信号を受けとる入力端子と、入力信号を反転した信号を出力する出力端子を有するインバータと、

前記バッファ回路の入力端子に入力される入力信号を受け取り、前記入力信号を遅延させた信号を出力する遅延回路と、

前記インバータからの出力信号と、前記遅延回路からの出力信号とを2つの入力端子から入力し、前記2つの入力端子から入力される信号がともに前記第2の論理レベルのときに、前記第2のトランジスタをオン状態とする論理レベルの信号を出力端子から前記第2のトランジスタの制御端子に出力する論理回路と、

を備え、

前記遅延回路から出力される信号は、前記バッファ回路の入力端子に入力される入力信号が前記第1の論理レベルから前記第2の論理レベルへ遷移するタイミングに先んじて、前記第2の論理レベルから前記第1の論理レベルに遷移し、前記バッファ回路の入力端子に入力される入力信号が前記第1の論理レベルから前記第2の論理レベルへ遷移するときに、前記第2のトランジスタはオフ状態に設定されている、ことを特徴とする請求項1記載のバッファ回路。

【請求項7】

前記遅延回路が、遅延ロックループ（DLL）回路よりなる、ことを特徴とする請求項6記載のバッファ回路。

【請求項8】

入力端子に入力された入力信号を反転して出力端子から出力する第 1 のバッファ回路であって、

互いに異なる電源電圧の第 1 の電源と第 2 の電源との間に直列形態に接続され、制御端子にそれぞれ供給される信号に基づきオン及びオフが制御される第 1 のトランジスタと第 2 のトランジスタとを備え、

前記第 1 のトランジスタと前記第 2 のトランジスタとの接続ノードが、前記第 1 のバッファ回路の出力端子に接続されており、

前記第 1 のトランジスタは、その制御端子が、前記バッファ回路の入力端子に接続されており、

前記第 1 のバッファ回路の入力端子に供給される入力信号を入力する入力端子を少なくとも備え、出力端子から前記第 2 のトランジスタの制御端子へ供給される信号を出力する第 1 の制御回路であって、

前記入力信号が、前記第 2 の電源電圧に対応する第 2 の論理レベルのとき前記第 2 のトランジスタをオフ状態とし、前記入力信号が前記第 2 の論理レベルから、前記第 1 の電源電圧に対応する第 1 の論理レベルに切り替わると、前記第 2 のトランジスタをオン状態として前記バッファ回路の出力端子の出力信号電圧を、前記第 2 の電源電圧側に遷移させ、その後、前記入力信号が前記第 1 の論理レベルから前記第 2 の論理レベルへ遷移する前に、前記第 2 のトランジスタをオフ状態に設定し、前記入力信号が前記第 1 の論理レベルから第 2 の論理レベルへ遷移して前記第 1 のトランジスタがオフ状態からオンへ切り替わるときには、前記第 2 のトランジスタがオフ状態に保たれているように制御する第 1 の制御回路を備えてなる第 1 のバッファ回路と、

前記第 1 のバッファ回路の出力端子に入力端子が接続され、前記入力端子に入力された信号を反転して出力端子から出力する第 2 のバッファ回路であって、

前記第 1 の電源と前記第 2 の電源との間に直列形態に接続され、制御端子にそれぞれ供給される信号に基づきオン及びオフが制御される第 3 のトランジスタと第 4 のトランジスタとを備え、

前記第 3 のトランジスタと前記第 4 のトランジスタとの接続ノードが、前記第 2 のバッファ回路の出力端子に接続されており、

前記第 3 のトランジスタは、その制御端子が、前記第 2 のバッファ回路の入力端子に接続されており、

前記第 2 のバッファ回路の入力端子に供給される、前記第 1 のバッファ回路の出力信号を入力する入力端子を少なくとも備え、出力端子から前記第 4 のトランジスタの制御端子へ供給される信号を出力する第 2 の制御回路であって、

前記第 1 のバッファ回路の出力信号が前記第 1 の論理レベルのとき、前記第 4 のトランジスタをオフ状態とし、

前記第 1 のバッファ回路の出力信号が前記第 1 の論理レベルから前記第 2 の論理レベルに切り替わると、前記第 4 のトランジスタをオン状態として、前記第 2 のバッファ回路の出力端子の出力信号電圧を、前記第 1 の電源電圧側に遷移させ、その後、前記第 1 のバッファ回路の出力信号が前記第 2 の論理レベルから前記第 1 の論理レベルへ遷移する前に、前記第 4 のトランジスタをオフ状態に設定し、前記第 1 のバッファ回路の出力信号が前記第 2 の論理レベルから前記第 1 の論理レベルへ遷移して、前記第 3 のトランジスタがオフ状態からオンへ切り替わるときには、前記第 4 のトランジスタがオフ状態に保たれているように制御する第 2 の制御回路を備えてなる第 2 のバッファ回路と、

を含む、ことを特徴とするバッファ回路。

【請求項 9】

高位側電源と低位側電源との間に直列形態に接続されている、互いに逆導電型の第 1、及び第 2 の MOS トランジスタを備え、

前記第 1 の MOS トランジスタのドレインと前記第 2 の MOS トランジスタのドレインの接続ノードがバッファ回路の出力端子に接続されており、

前記第 1 の MOS トランジスタは、前記バッファ回路の入力端子に、ゲートが接続されており、

前記バッファ回路の入力端子に入力される入力信号を受け、前記第 2 の MOS トランジスタのゲートへ供給される信号を出力する制御回路であって、

前記入力信号が、前記低位側電源電圧に対応する第 2 の論理レベルのとき、前記第 2 の MOS トランジスタをオフ状態とし、前記入力信号が、前記高位側電源電圧に対応する第 1 の論理レベルのとき、前記第 2 の MOS トランジスタをオン

状態として前記バッファ回路の出力端子の出力信号電圧を、前記低位側電源電圧側へ遷移させ、その後、前記入力信号が前記第 1 の論理レベルから前記第 2 の論理レベルへ遷移する前に、前記第 2 の MOS トランジスタのゲートへ供給される信号を前記第 2 の論理レベルに設定することで前記第 2 の MOS トランジスタをオフ状態とし、前記入力信号が前記第 1 の論理レベルから前記第 2 の論理レベルへ遷移して前記第 1 の MOS トランジスタがオフからオンへ遷移するときに、前記第 2 の MOS トランジスタはオフ状態に保たれているように制御する制御回路を備えている、ことを特徴とするバッファ回路。

【請求項 1 0】

高位側電源と低位側電源との間に直列形態に接続されている、互いに逆導電型の第 1、及び第 2 の MOS トランジスタを備え、

前記第 1 の MOS トランジスタのドレインと前記第 2 の MOS トランジスタのドレインの接続ノードがバッファ回路の出力端子に接続されており、

前記第 1 の MOS トランジスタは、前記バッファ回路の入力端子に、ゲートが接続されており、

前記バッファ回路の入力端子に入力される入力信号を受け、前記第 2 の MOS トランジスタのゲートへ供給される信号を出力する制御回路であって、

前記入力信号が、前記高位側電源電圧に対応する第 2 の論理レベルのとき、前記第 2 の MOS トランジスタをオフ状態とし、前記入力信号が、前記低位側電源電圧に対応する第 1 の論理レベルのとき、前記第 2 の MOS トランジスタをオン状態として、前記バッファ回路の出力端子の出力信号電圧を前記高位側電源電圧側へ遷移させ、その後、前記入力信号が前記第 1 の論理レベルから前記第 2 の論理レベルへ遷移する前に、前記第 2 の MOS トランジスタのゲートへ供給される信号を前記第 2 の論理レベルに設定することで前記第 2 の MOS トランジスタをオフ状態とし、前記入力信号が前記第 1 の論理レベルから前記第 2 の論理レベルへ遷移して前記第 1 の MOS トランジスタがオフからオンへ遷移するときに、前記第 2 の MOS トランジスタはオフ状態に保たれているように制御する制御回路を備えている、ことを特徴とするバッファ回路。

【請求項 1 1】

前記制御回路が、前記バッファ回路の入力端子に供給される入力信号を受け取る入力端子と、前記入力信号を反転した信号を出力する出力端子を有する第 1 のインバータを備え、さらに、

前記第 1 のインバータからの出力信号と、前記バッファ回路の出力端子の出力信号の反転信号とを 2 つの入力端子からそれぞれ入力し、前記 2 つの入力端子から入力される信号がともに、第 2 の論理レベルのときに、前記第 2 の MOS トランジスタをオン状態とする論理レベルの信号を、前記第 2 の MOS トランジスタの制御端子に出力する論理回路と、

を備えている、ことを特徴とする請求項 9 又は 1 0 記載のバッファ回路。

【請求項 1 2】

前記バッファ回路の出力端子に入力端子が接続されている第 2 のインバータと

前記第 2 のインバータの出力端子に入力端子が接続されている第 3 のインバータと、を有し、前記第 3 のインバータの出力端子が前記バッファ回路の出力端子に接続されているフリップフロップを備え、

前記制御回路の前記論理回路が、前記第 1 のインバータの出力信号と前記第 2 のインバータの出力信号とを前記 2 つの入力端子よりそれぞれ入力する、ことを特徴とする請求項 9 又は 1 0 記載のバッファ回路。

【請求項 1 3】

前記制御回路が、前記バッファ回路の入力端子に供給される入力信号を受け取る入力端子と、前記入力信号を反転した信号を出力する出力端子を有する第 1 のインバータと、

前記バッファ回路の入力端子に供給される入力信号を遅延させて出力する遅延回路と、

前記第 1 のインバータからの出力信号と、前記遅延回路の出力信号とを 2 つの入力端子からそれぞれ入力し、前記 2 つの入力端子から入力される信号がともに、第 2 の論理レベルのときに、前記第 2 の MOS トランジスタをオンとする論理レベルの信号を、前記第 2 の MOS トランジスタの制御端子に出力する論理回路と、

を備えている、ことを特徴とする請求項 9 又は 1 0 記載のバッファ回路。

【請求項 1 4】

前記制御回路が、前記バッファ回路の活性化と非活性化を制御する選択制御信号を入力する入力端子をさらに有し、入力された前記選択制御信号が前記バッファ回路の非活性化を指示する値のとき、前記第 2 のトランジスタをオフ状態とする論理レベルの信号を出力する手段を備えている、ことを特徴とする請求項 1 記載のバッファ回路。

【請求項 1 5】

前記制御回路が、前記バッファ回路の入力端子に入力される入力信号と、前記バッファ回路の出力端子から出力される出力信号と、前記バッファ回路の活性化と非活性化を制御する選択制御信号又はその反転信号とを入力し、前記入力した信号の論理演算結果に基づき前記第 2 のトランジスタの制御端子に供給される信号を生成する論理回路を備え、

前記論理回路は、前記選択制御信号が前記バッファ回路の非活性化を指示しているときには、前記論理回路に入力される他の 2 つの信号の値によらず、前記第 2 のトランジスタをオフ状態とする論理レベルの信号を、出力端子から前記第 2 のトランジスタの制御端子に出力し、

前記選択制御信号が前記バッファ回路の活性化を指示しているときには、前記バッファ回路の入力端子に入力される入力信号が前記第 1 の論理レベルであり、且つ、前記バッファ回路の出力端子から出力される出力信号が前記第 1 の論理レベルであるときに、前記第 2 のトランジスタをオン状態とする論理レベルの信号を生成して前記第 2 のトランジスタの制御端子に供給し、前記第 2 のトランジスタがオンし前記バッファ回路の出力端子から出力される出力信号が前記第 2 の論理レベルとなったときに、前記第 2 のトランジスタをオフ状態とする論理レベルの信号を生成して前記第 2 のトランジスタの制御端子に供給する回路構成とされている、ことを特徴とする請求項 1 記載のバッファ回路。

【請求項 1 6】

前記制御回路が、前記バッファ回路の入力端子に供給される入力信号を受け取る入力端子と、前記入力信号を反転した信号を出力する出力端子を有するインバ

ータと、

前記フリップフロップ回路に記憶保持されている、前記バッファ回路の出力端子の出力信号の論理レベルを反転した信号と、前記インバータからの出力信号と、前記バッファ回路の活性化と非活性化を制御する選択制御信号又はその反転信号を、それぞれ第 1 乃至第 3 の入力端子から入力し、

前記第 3 の入力端子から入力される前記選択制御信号が、前記バッファ回路の活性化を指示する値とされており、前記第 1 及び第 2 の入力端子から入力される信号がともに、前記第 2 の論理レベルのときに、前記第 2 のトランジスタをオン状態とする論理レベルの信号を、出力端子から前記第 2 のトランジスタの制御端子に出力し、

前記選択制御信号が前記バッファ回路の非活性化を指示しているときには、他の 2 つの入力信号の値によらず、前記第 2 のトランジスタをオフ状態とする論理レベルの信号を、出力端子から前記第 2 のトランジスタの制御端子に出力する論理回路と、

を備えている、ことを特徴とする請求項 4 記載のバッファ回路。

【請求項 1 7】

前記制御回路が、前記バッファ回路の入力端子に入力される入力信号を受けとる入力端子と、入力信号を反転した信号を出力する出力端子を有するインバータと、

前記バッファ回路の入力端子に入力される入力信号を受け取り、前記入力信号を遅延させた信号を出力する遅延回路と、

前記インバータからの出力信号と、前記遅延回路からの出力信号と、前記バッファ回路の活性化と非活性化を制御する選択制御信号又はその反転信号を、それぞれ第 1 乃至第 3 の入力端子から入力し、

前記第 3 の入力端子から入力される前記選択制御信号が、前記バッファ回路の活性化を指示する値とされており、前記第 1 及び第 2 の入力端子から入力される信号がともに前記第 2 の論理レベルのときに、前記第 2 のトランジスタをオン状態とする論理レベルの信号を出力端子から前記第 2 のトランジスタの制御端子に出力し、前記選択制御信号が前記バッファ回路の非活性化を指示しているときに

は、前記第 1 及び第 2 の入力端子より入力される信号の値によらず、前記第 2 のトランジスタをオフ状態とする論理レベルの信号を、出力端子から前記第 2 のトランジスタの制御端子に出力する論理回路と、

を備え、

前記バッファ回路が活性化されている場合、前記遅延回路から出力される信号は、前記バッファ回路の入力端子に入力される入力信号が前記第 1 の論理レベルから前記第 2 の論理レベルへ遷移するタイミングに先んじて、前記第 2 の論理レベルから前記第 1 の論理レベルに遷移し、前記バッファ回路の入力端子に入力される入力信号が前記第 1 の論理レベルから前記第 2 の論理レベルへ遷移するときに、前記第 2 のトランジスタはオフ状態に設定されている、ことを特徴とする請求項 1 記載のバッファ回路。

【請求項 1 8】

前記第 1 の制御回路が、前記第 1 のバッファ回路の活性化と非活性化を制御する選択制御信号を入力する入力端子をさらに有し、前記選択制御信号が前記第 1 のバッファ回路の非活性化を指示する値のとき、前記第 2 のトランジスタをオフ状態とする論理レベルの信号を出力する手段を備え、

前記第 2 の制御回路が、前記第 2 のバッファ回路の活性化と非活性化を制御する選択制御信号を入力する入力端子をさらに有し、前記選択制御信号が前記第 2 のバッファ回路の非活性化を指示する値のとき、前記第 4 のトランジスタをオフ状態とする論理レベルの信号を出力する手段を備えている、ことを特徴とする請求項 8 記載のバッファ回路。

【請求項 1 9】

前記制御回路が、前記バッファ回路の入力端子に供給される入力信号を受け取る入力端子と、前記入力信号を反転した信号を出力する出力端子を有する第 1 のインバータを備え、さらに、

前記第 1 のインバータからの出力信号と、前記バッファ回路の出力端子の出力信号の反転信号と、前記バッファ回路の活性化と非活性化を制御する選択制御信号又はその反転信号を、それぞれ第 1 乃至第 3 の入力端子から入力し、

前記第 3 の入力端子から入力された前記選択制御信号が、前記バッファ回路の

活性化を指示しており、前記第 1 及び第 2 の入力端子から入力される信号がともに第 2 の論理レベルのときに、前記第 2 の MOS トランジスタをオン状態とする論理レベルの信号を、前記第 2 の MOS トランジスタの制御端子に出力し、

前記第 3 の入力端子から入力された前記選択制御信号が前記バッファ回路の非活性化を指示しているときには、前記第 2 の MOS トランジスタをオフ状態とする論理レベルの信号を、前記第 2 の MOS トランジスタの制御端子に出力する論理回路と、

を備えている、ことを特徴とする請求項 9 又は 1 0 記載のバッファ回路。

【請求項 2 0】

前記バッファ回路の出力端子に入力端子が接続されている第 2 のインバータと

前記第 2 のインバータの出力端子に入力端子が接続されている第 3 のインバータと、を有し、前記第 3 のインバータの出力端子が前記バッファ回路の出力端子に接続されているフリップフロップを備え、

前記制御回路の前記論理回路が、前記第 1 のインバータの出力信号と前記第 2 のインバータの出力信号と、前記選択制御信号又はその反転信号と、を前記 3 つの入力端子よりそれぞれ入力する、ことを特徴とする請求項 1 9 記載のバッファ回路。

【請求項 2 1】

請求項 1 乃至 2 0 のいずれか一の前記バッファ回路を、クロックツリーバッファとして備えてなる半導体集積回路。

【請求項 2 2】

クロック配線経路に、ツリー状に、複数のバッファ回路が配置されるバッファツリー回路であって、

請求項 8 又は 1 8 記載の前記第 1 のバッファ回路と、請求項 8 又は 1 8 記載の前記第 2 のバッファ回路とをクロック伝搬経路に沿って交互に縦続形態に接続してなる、ことを特徴とするバッファツリー回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、バッファ回路に関し、特に、クロック信号を駆動するバッファに適用して好適なバッファ回路及び半導体集積回路に関する。

【0002】

【従来の技術】

近時、高速CMOS回路等の半導体集積回路において、動作周波数の高速化が進み1クロックサイクルが短縮している。また高集積化・高機能化により、半導体集積回路内のクロック配線も長くなる。クロックの遷移でデータをサンプルするラッチ、レジスタ等のクロック同期回路を具備する半導体集積回路において、クロック入力端子あるいは内部クロック生成回路等のクロック供給元から各クロック同期回路への遅延を一致させてクロック分配する手法として、図12に示すように、クロック伝搬経路に、クロックバッファ回路（「CTS (Clock Tree Synthesis) バッファ回路」ともいう）INV101～INV117をツリー状に配置するクロックツリー方式が用いられている。従来のクロックバッファ回路は、PMOSトランジスタとNMOSトランジスタとから構成される。クロックバッファ回路をCMOSインバータで構成した場合、高位側電源と低位側電源間に直列形態に接続されたPMOSトランジスタとNMOSトランジスタの共通接続されたゲートに入力信号が供給され、PMOSトランジスタのドレインとNMOSトランジスタのドレインの接続点からクロックバッファ回路の出力信号が出力される。PMOSトランジスタを駆動してhighレベルの出力を高速化する場合、PMOSトランジスタのサイズを大とし、NMOSトランジスタのサイズを小とし、したがって β_p/β_n 比を大として高速化を図ることになる。ここで、 β_p/β_n 比は、CMOSインバータを構成するPMOSトランジスタとNMOSトランジスタの利得係数 β の比である。この β は、 $(\mu\varepsilon/t_{OX})(W/L)$ で与えられる（ただし、 μ はキャリアの移動度、 ε はゲート絶縁膜の誘電率、 t_{OX} はゲート絶縁膜の膜厚、 W はチャネル幅、 L はチャネル長である）。しかしながら、 β_p/β_n 比によって高速化を図る場合、セルサイズの制約等から、NMOSトランジスタのサイズを特段に小としなければならず、lowレベル側への出力波形の立ち下りが鈍くなる。また、NMOSトランジスタのサイズ

を小とすることで β_p / β_n 比を大とする場合、製造ばらつきの感度を大とすることになり、動作マージンを極端に悪化させてしまうことにもなる。

【0003】

なお、動作を高速化するバッファ回路に関する刊行物として、例えば特開平 8-321768 号公報には、pMIS トランジスタよりなる充電回路と、nMIS トランジスタよりなる放電回路とが直列に接続され、pMIS トランジスタのゲートには、入力信号の立ち上がりエッジを検出する立ち上がりエッジ検出回路の出力が入力され、nMIS トランジスタのゲートには、入力信号の立ち下がりエッジを検出する立ち下がりエッジ検出回路の出力が入力され、入力信号を入力する非反転ゲートの出力が pMIS トランジスタと nMIS トランジスタの接続点に接続され、pMIS トランジスタと nMIS トランジスタは一方がオンのとき他方はオフとされ貫通電流が流れず高速動作を可能とした構成のバッファ回路が開示されている。上記刊行物記載のバッファ回路においては、入力端子と pMIS トランジスタのゲートとの間、及び、入力端子と nMIS トランジスタのゲートとの間にもエッジ検出回路が挿入されており、エッジ検出回路の遅延時間分、出力信号の立ち上がり及び立ち下がりの双方の遷移で遅延が生じることになり、高速バッファ回路には向かない。すなわち、上記刊行物記載のバッファ回路では、例えばラッチ、レジスタ等のクロック同期回路が、クロック信号の立ち上がりエッジ又は立ち下がりエッジの一方のエッジのみを用いてサンプリングする場合に、使用する方のクロックのエッジも、使用しない方のエッジと同様に遅延させている。

【0004】

【発明が解決しようとする課題】

遅延調整のためにクロック経路に挿入されるバッファ回路において、バッファ回路 1 段あたりの伝搬遅延時間が長いと、クロック供給元からクロック供給先まで複数段のバッファ回路が挿入された場合、複数段分の遅延が、クロック供給先であるラッチあるいはレジスタ等のクロック同期回路における動作タイミングに与える影響が大となる。例えば動作周波数が 100MHz を超える CMOS 回路等では 1 クロックサイクル (t_{CK}) は 10 ナノ秒未満となり、クロックツリー

のそれぞれに、遅延調整用のバッファが、図 1 2 に示すように 4 段挿入されており、バッファ 1 段あたりの伝搬遅延時間を概略 6 0 0 p s とすると、遅延調整用のバッファによって 2. 4 n s が費やされており、クロック供給先であるラッチあるいはレジスタ等のタイミングの余裕がなくなる。

【 0 0 0 5 】

このように、クロックの供給を受けて動作するラッチあるいはレジスタにおけるセットアップタイム、ホールドタイムを十分に確保し、動作を保証するためにも、遅延調整用のバッファ回路の遅延時間は、短い方が好ましい。

【 0 0 0 6 】

したがって、本発明の主たる目的は、遅延時間の短縮を図るバッファ回路及び該バッファ回路を用いた半導体集積回路を提供することにある。

【 0 0 0 7 】

【課題を解決するための手段】

前記目的を達成する本発明は、入力端子から入力する入力信号と出力信号を出力する出力端子を有するバッファ回路において、互いに異なる電源電圧の第 1 の電源と第 2 の電源との間に直列形態に接続され、制御端子にそれぞれ供給される信号に基づきオン及びオフが制御される第 1 のトランジスタと第 2 のトランジスタとを備え、前記第 1 のトランジスタと前記第 2 のトランジスタとの接続ノードが、前記バッファ回路の出力端子に接続されており、前記第 1 のトランジスタは、その制御端子が前記バッファ回路の入力端子に接続されており、前記バッファ回路の入力端子に供給される入力信号を受け取る入力端子を少なくとも備え、前記第 2 のトランジスタの制御端子へ供給される信号を出力端子より出力する制御回路であって、前記入力信号が前記第 2 の電源電圧に対応する第 2 の論理レベルのとき前記第 2 のトランジスタをオフ状態とし、前記入力信号が前記第 2 の論理レベルから、前記第 1 の電源電圧に対応する第 1 の論理レベルに切り替わると、前記第 2 のトランジスタをオン状態として、前記バッファ回路の出力端子の出力信号電圧を前記第 2 の電源電圧側に遷移させ、その後、前記入力信号が前記第 1 の論理レベルから前記第 2 の論理レベルへ遷移する前に、前記第 2 のトランジスタをオフ状態に設定し、前記入力信号が前記第 1 の論理レベルから前記第 2 の論

理レベルへ遷移して、前記第 1 のトランジスタがオフ状態からオンへ遷移するときには、前記第 2 のトランジスタがオフ状態に保たれているように制御する制御回路を備えている。

【0008】

本発明においては、前記第 1 のトランジスタの前記制御端子に入力される前記入力信号が、前記第 1 の論理レベルから前記第 2 の論理レベルへ遷移するとき、前記第 1 のトランジスタの前記制御端子に入力される信号電圧と前記第 1 の電源電圧との差電圧の大きさが前記第 1 のトランジスタのしきい値電圧の大きさを超えた場合に、前記第 1 のトランジスタがオンし、その際、前記第 2 のトランジスタはオフ状態に保持されており、前記バッファ回路の出力端子の出力信号電圧の前記第 1 の電源電圧側への遷移が開始される。

【0009】

本発明においては、前記制御回路が、前記バッファ回路の入力端子に入力される入力信号と、前記バッファ回路の出力端子から出力される出力信号との論理演算結果に基づき前記第 2 のトランジスタの制御端子に供給される信号を生成する論理回路を備え、前記論理回路は、前記バッファ回路の入力端子に入力される入力信号が前記第 1 の論理レベルであり、且つ、前記バッファ回路の出力端子から出力される出力信号が前記第 1 の論理レベルであるときに、前記第 2 のトランジスタをオン状態とする論理レベルの信号を生成して前記第 2 のトランジスタの制御端子に供給し、前記第 2 のトランジスタがオンし、前記バッファ回路の出力端子から出力される出力信号が前記第 2 の論理レベルとなったときに、前記第 2 のトランジスタをオフ状態とする論理レベルの信号を生成して前記第 2 のトランジスタの制御端子に供給する回路構成とされている。

【0010】

本発明においては、前記バッファ回路の出力端子に、入力端子が接続され、前記バッファ回路の出力信号の論理レベルを記憶保持し、出力端子から記憶保持している信号を出力するフリップフロップ回路を備え、前記フリップフロップ回路の出力端子は、前記バッファ回路の出力端子に接続されている。

【0011】

本発明においては、前記制御回路が、前記バッファ回路の入力端子に供給される入力信号を受け取る入力端子と、前記入力信号を反転した信号を出力する出力端子を有するインバータと、前記フリップフロップ回路に記憶保持されている、前記バッファ回路の出力端子の出力信号の論理レベルを反転した信号と、前記インバータからの出力信号とを2つの入力端子から入力し、前記2つの入力端子から入力される信号が、ともに、前記第2の論理レベルのときに、前記第2のトランジスタをオン状態とする論理レベルの信号を、出力端子から前記第2のトランジスタの制御端子に出力する論理回路とを備えている。

【 0 0 1 2 】

本発明は、別のアスペクトにおいて、前記制御回路が、前記バッファ回路の活性化と非活性化を制御する選択制御信号を入力し、前記選択制御信号が前記バッファ回路の非活性化を指示する値のとき、前記第2のトランジスタをオフ状態とする論理レベルの信号を出力する手段を備え、バッファ回路の活性化、非活性化を制御自在とした構成としてもよい。以下の説明からも明らかとされるように、上記目的は、特許請求の範囲の各請求項の本発明によっても同様にして達成される。

【 0 0 1 3 】

【発明の実施の形態】

本発明の実施の形態について以下に説明する。本発明に係るバッファ回路は、その一実施の形態において、第1の電源を高位側電源（VDD）とし、第2の電源を低位側電源（VSS）とし、第1の電源と第2の電源の間に直列形態に接続された第1、及び第2のトランジスタ（PM1、NM1）を備え、第1のトランジスタと第2のトランジスタの接続ノードを、バッファ回路の出力端子（OUT）としている。第1のトランジスタ（PM1）は、その制御端子が、バッファ回路の入力端子（IN）に接続されており、この入力端子（IN）に入力される信号が、第1の電源電圧（VDD）に対応する第1の論理レベル（high）のときオフ状態とされ、第2の電源電圧（VSS）に対応する第2の論理レベル（low）のとき、オン状態とされる。第1のトランジスタ（PM1）は、その制御端子に入力される信号電圧（VIN）と第1の電源電圧（VDD）との差電圧の

大きさ ($= |V_{IN} - V_{DD}|$) が、第 1 のトランジスタ ($PM1$) のしきい値電圧の大きさ $|V_{tp}|$ を超える場合に、オンして、バッファ回路の出力端子 (OUT) の出力信号電圧を第 1 の電源電圧 (V_{DD}) 側に遷移させる。

【0014】

バッファ回路の入力端子 (IN) に供給される入力信号の第 1 の論理レベルから第 2 の論理レベルへ変化したときに、該入力信号を制御端子に受ける第 1 のトランジスタ ($PM1$) がオフ状態からオンへ切り替わる時点で、第 2 のトランジスタ ($NM1$) が、オフ状態に保たれているように制御を行う制御回路を有することは、本発明の主たる特徴の 1 つをなしている。

【0015】

より詳細には、この制御回路は、バッファ回路の入力端子 (IN) に入力される入力信号を受け、第 2 のトランジスタ ($NM1$) の制御端子へ供給される信号を出力する制御回路であって、入力信号が第 2 の論理レベル (low) のとき、第 2 のトランジスタ ($NM1$) をオフ状態とする論理レベルの信号を、第 2 のトランジスタ ($NM1$) の制御端子へ供給し、入力信号が第 1 の論理レベル ($high$) のとき第 2 のトランジスタ ($NM1$) をオン状態として、バッファ回路の出力端子 (OUT) の電圧を、第 2 の電源電圧 (V_{SS}) 側に遷移させ、その後、入力信号が第 1 の論理レベルから第 2 の論理レベルへ遷移する前に、第 2 のトランジスタ ($NM1$) をオフ状態に設定する信号を、第 2 のトランジスタ ($NM1$) の制御端子へ供給する制御を行う。

【0016】

かかる構成の本発明の実施の形態においては、バッファ回路の入力端子 (IN) に供給される入力信号電圧 (V_{IN}) が、第 1 の電源電圧 (V_{DD}) から遷移して、 $V_{DD} - |V_{tp}|$ 以下となり、第 1 のトランジスタ ($PM1$) がオフ状態からオンへ切り替わる時点で、第 2 のトランジスタ ($NM1$) はオフ状態に保たれており、第 1 のトランジスタ ($PM1$) がオンした時点でも第 1 の電源 (V_{DD}) から第 2 の電源 (V_{SS}) への貫通電流 ($short-cut\ current$) は全く流れない。そして、この状態で、第 1 のトランジスタ ($PM1$) のドレイン電流による出力端子 (OUT) の充電が開始される。このため、入力信号の立ち下が

り (h i g h レベルから l o w レベルへの遷移) から、バッファ回路の出力信号の立ち上がり (l o w レベルから h i g h レベルへの遷移) までの伝搬遅延時間 t_{pLH} を、第 1 のトランジスタ (P M 1) と第 2 のトランジスタ (N M 1) で構成した通常の C M O S インバータ構成のバッファ回路よりも、短縮している。

【 0 0 1 7 】

また、この実施の形態において、バッファ回路の入力端子 (I N) からみた入力負荷 (ゲート容量) としては、実質的に、第 1 のトランジスタ (P M 1) の制御端子の入力負荷 (ゲート容量) しか見えない。すなわち、第 2 のトランジスタ (N M 1) のオン、オフを制御する信号を生成する制御回路において、バッファ回路の入力端子 (I N) に入力される入力信号を受ける回路 (例えば図 1 のインバータ I N V 1) の入力負荷 (ゲート容量) は、第 1 のトランジスタ (P M 1) の制御端子の入力負荷と比較して大幅に小さい。このため、バッファ回路の入力端子 (I N) に印加される入力信号の立ち下がり時間も短縮され、結果として、バッファ回路の伝搬遅延時間 t_{pLH} の高速化に貢献している。

【 0 0 1 8 】

一般に、重い負荷を駆動するバッファ回路においては、その電流駆動能力を大とするため、出力トランジスタのゲート幅 (W) は大きく設定されており、このため、バッファ回路の入力負荷 (ゲート容量) は大となる。通常の C M O S インバータのように、P M O S トランジスタと N M O S トランジスタのゲートを、バッファ回路の入力端子 (I N) に共通接続した場合、入力端子 (I N) からみて、2 つのトランジスタのゲート容量が並列接続されており、その入力負荷容量は、本実施の形態の場合の 2 倍近くとなる。

【 0 0 1 9 】

本実施の形態において、第 2 のトランジスタ (N M 1) は、バッファ回路の入力端子 (I N) からの入力信号が、第 2 の論理レベル (l o w) から第 1 の論理レベル (h i g h) に遷移した時点でオンする。バッファ回路の入力端子 (I N) の入力信号が第 2 の論理レベルのとき、第 1 のトランジスタ (P M 1) はオン状態であり、入力信号が第 2 の論理レベル (l o w) から第 1 の論理レベル (h i g h) へ遷移したとき、第 2 のトランジスタ (N M 1) のオン、オフを制御する

制御回路の遅延時間分遅れて、第2のトランジスタ (NM1) の制御信号に第1の論理レベル (high) が供給され、第2のトランジスタ (NM1) がオンする。このとき、バッファ回路の入力端子 (IN) からは第1の論理レベル (high) が第1のトランジスタ (PM1) の制御端子に供給されており、第1のトランジスタ (PM1) はオフ状態とされており、よって、第2のトランジスタ (NM1) がオフ状態からオンへの切替時に、第1の電源 (VDD) から第2の電源 (VSS) への貫通電流は流れず、消費電力の低減が図られている。また、第2のトランジスタ (NM1) がオンする場合に、貫通電流が流れないことから、バッファ回路の出力端子の出力信号の立ち下がり時間の短縮化が図られている。

【0020】

この実施の形態において、バッファ回路の入力端子 (IN) に入力される入力信号の第2の論理レベル (low) から第1の論理レベル (high) への立ち上がり遷移に対するバッファ回路の出力端子 (OUT) の信号の第1の論理レベル (high) から第2の論理レベル (low) の伝搬遅延時間遷移 t_{pHL} については、前述した t_{pLH} (入力信号の立ち下がり遷移に対応するバッファ回路の出力端子 (OUT) の信号の立ち上がり遷移までの伝搬遅延時間) のような、遷移開始の高速化による短縮化は行われない。すなわち、入力信号が制御回路を通過する遅延時間分遅れて、バッファ回路の出力端子 (OUT) の信号の第1の論理レベル (high) から第2の論理レベル (low) への立ち下がりが行われる。

【0021】

バッファ回路の入力端子 (IN) に入力される入力信号が、第2の論理レベル (low) から第1の論理レベル (high) へ遷移したとき、第1のトランジスタ (PM1) は、オフに切り替わり、第2のトランジスタ (NM1) は、制御回路の遅延時間分遅れて一旦オンとされ、出力端子 (OUT) の信号電圧は、第1の電源電圧 (VDD) から第2の電源電圧 (VSS) に対応する第2の論理レベルとされる。その後、第2のトランジスタ (NM1) の制御端子には、第2の論理レベル (low) が供給され、第1、第2のトランジスタがともにオフ状態となり、バッファ回路の出力端子は高インピーダンス状態となる。

【 0 0 2 2 】

このとき、バッファ回路の出力端子（OUT）に接続されたフリップフロップ回路は、入力端子と出力端子が相互に接続された2つのインバータ（INV2、INV3）よりなり、バッファ回路の出力端子（OUT）が高インピーダンス状態となる直前のバッファ回路の出力端子（OUT）の論理レベルを記憶保持しており、高インピーダンス状態のバッファ回路の出力端子（OUT）は、フリップフロップの出力段のインバータ（INV3）が出力する論理レベルに設定される。すなわち、バッファ回路の入力端子（IN）に入力される入力信号が第2の論理レベル（low）から第1の論理レベル（high）へ遷移したとき、第2のトランジスタ（NM1）を一旦オンとしたのち、入力信号が第1の論理レベル（high）から第2の論理レベル（low）へ変化する前に途中で、第2のトランジスタ（NM1）をオフ状態としても、バッファ回路の出力端子（OUT）の電圧は、本来の論理レベルにまで、フリップフロップの出力段のインバータ（INV3）の出力端子を介して引き上げ又は引き下げられる。すなわち、この実施の形態においては、バッファ回路の出力端子を高インピーダンス状態に保持しても、その出力電圧が、第1の論理レベル（high：VOH）と第2の論理レベル（low：VOL）の間の中間電圧にとどまるようなことや、本来の論理レベルとは、異なった論理レベルに設定されることは回避される。

【 0 0 2 3 】

本発明の別の実施の形態として、上記した一実施の形態のバッファ回路において、第1の電源を、低位側電源（VSS）とし、第2の電源を、高位側電源（VDD）とし、したがって、第1の電源電圧に対応する第1の論理レベルをlow、第2の電源電圧に対応する第2の論理レベルをhighに置き換えた構成としてもよい。この別の実施の形態においては、第1の電源（VSS）と第2の電源（VDD）の間に直列形態に接続された2つのトランジスタ（PM1、NM1）について、制御回路でオン及びオフが切り替え制御されるトランジスタを、トランジスタ（PM2）に入れ替え、バッファ回路の入力端子（IN）に供給される入力信号の立ち上がりから、バッファ回路の出力端子（OUT）の出力信号の立ち下りの伝搬遅延時間 t_{pHL} が高速化される構成とされる。すなわち、この

別の実施の形態では、バッファ回路の入力端子（IN）に制御端子が直接接続される第1のトランジスタは、図5のNM1とされ、制御回路から制御端子に入力される信号でオン・オフが制御される第2のトランジスタは、図5のPM1とされ、図1を参照して説明した前記した実施の形態と入れ替わっている。以下、図5を参照して、本発明の別の実施の形態について説明する。

【0024】

すなわち、第1の電源（VSS）と第2の電源（VDD）との間に直列形態に接続された第1、及び第2のトランジスタ（NM1、PM1）を備え、第1のトランジスタと第2のトランジスタの出力の接続ノードを、バッファ回路の出力端子（OUT）としており、第1のトランジスタ（NM1）はバッファ回路の入力端子（IN）に、その制御端子が接続されている。第1のトランジスタ（NM1）は、その制御端子に入力される信号電圧（VIN）と第1の電源電圧（VSS）との差電圧 $V_{IN} - V_{SS}$ が、第1のトランジスタ（NM1）のしきい値（ V_{tn} ）を超える場合にオンして、バッファ回路の出力端子（OUT）を、第1の電源電圧（VSS）側に遷移させる。そして、第1のトランジスタ（NM1）がオフ状態からオンへ切り替わる時点では、第2のトランジスタ（PM1）はオフ状態に保たれているように制御する制御回路を有することは、本発明の別の実施の形態においてもその主たる特徴の1つをなしている。

【0025】

この制御回路は、バッファ回路の入力端子（IN）に供給される入力信号を受け、第2のトランジスタ（PM1）の制御端子へ供給される信号を出力する制御回路であって、入力信号が、第2の電源電圧（VDD）に対応する第2の論理レベル（high）のとき、第2のトランジスタ（PM1）をオフ状態とする信号を第2のトランジスタ（PM1）の制御端子へ供給し、入力信号が、第1の電源電圧（VSS）に対応する第1の論理レベル（low）のとき、第2のトランジスタ（PM1）をオン状態として、バッファ回路の出力端子（OUT）の電圧を、第2の電源電圧（VDD）側に遷移させた後、第2のトランジスタ（PM1）をオフさせるように、第2のトランジスタ（PM1）の制御端子に供給する信号を設定する。

【 0 0 2 6 】

かかる構成の本発明の別の実施の形態においては、バッファ回路の入力端子（IN）に入力される入力信号が第1の論理レベル（low）から第2の論理レベル（high）へ遷移し、第1のトランジスタ（NM1）がオフからオンへ切り替わる時点では、第2のトランジスタ（PM1）は、オフ状態に保たれており、第1のトランジスタ（NM1）がオンする時点でも電源（VDD）から電源（VSS）への貫通電流は全く流れず、オン状態の第1のトランジスタ（NM1）を介して出力端子（OUT）が放電されるため、入力信号の立ち下がり（highレベルへの遷移）から、バッファ回路の出力信号の立ち下がり（lowレベルへの遷移）までの伝搬遅延時間 t_{pHL} を短縮している。

【 0 0 2 7 】

また、この別の実施の形態において、入力端子側からみた入力負荷として、第1のトランジスタ（NM1）の制御端子の入力負荷（ゲート容量負荷）しか見えないため、バッファ回路の入力端子（IN）の入力信号の立ち下がり時間も短縮され、バッファ回路の伝搬遅延時間 t_{pHL} の高速化に貢献する。この実施の形態において、第2のトランジスタ（PM1）は、バッファ回路の入力端子（IN）からの入力信号が、第2の論理レベル（high）から第1の論理レベル（low）に遷移した時点でオンする。バッファ回路の入力端子（IN）からの入力信号が第2の論理レベル（high）のとき、第1のトランジスタ（NM1）はオン状態であり、入力信号が第2の論理レベル（high）から第1の論理レベル（low）へ遷移したとき、第2のトランジスタ（PM1）のオン、オフを制御する制御回路の遅延時間分遅れて、第2のトランジスタ（PM1）の制御信号に、第1の論理レベル（low）が供給され、第2のトランジスタ（PM1）がオンする。このとき、バッファ回路の入力端子（IN）からは、第1の論理レベル（low）が第1のトランジスタ（NM1）の制御端子に供給されており、第1のトランジスタ（NM1）はオフ状態とされており、よって、第2のトランジスタ（PM1）がオフからオンへの遷移時に、電源（VDD）から電源（VSS）への貫通電流は流れず、消費電力を低減している。

【 0 0 2 8 】

この別の実施の形態において、バッファ回路の入力端子（IN）に供給される入力信号の第2の論理レベル（high）から第1の論理レベル（low）への遷移に対して、制御回路の遅延時間分遅れて、第2のトランジスタ（PM1）がオンし、バッファ回路の出力端子（OUT）の信号が第1の論理レベル（low）から第2の論理レベル（high）へ遷移する。入力信号が第2の論理レベル（high）から第1の論理レベル（low）へ遷移したとき、第1のトランジスタ（NM1）はオフ、第2のトランジスタ（PM1）はオンとされ、出力端子（OUT）は、第1の論理レベルから第2の論理レベルとされる。その後、入力信号が第1の論理レベル（low）から第2の論理レベル（high）へ遷移する前に、第2のトランジスタ（PM1）の制御端子には、制御回路から、第2の論理レベル（high）が供給され、第1、第2のトランジスタ（NM1、PM1）がともにオフ状態となり、バッファ回路の出力端子は高インピーダンス状態となる。このとき、バッファ回路の出力端子に接続されたフリップフロップ回路（入力端子と出力端子が相互に接続されているインバータINV2、INV3）は、バッファ回路の出力端子が高インピーダンス状態となる直前のバッファ回路の出力端子の論理レベルを保持出力しており、高インピーダンス状態のバッファ回路の出力端子は、フリップフロップの出力（インバータINV3の出力）により、バッファ回路が、本来出力すべき論理レベルに対応した電圧に設定される。

【0029】

本発明の別の実施の形態において、制御回路は、バッファ回路の入力端子に供給される入力信号を受け取る入力端子と、前記入力信号を反転した信号を出力する出力端子を有するインバータ（INV1）を備え、フリップフロップ回路を構成するインバータ（INV2）の出力と、インバータ（INV1）の出力と、インバータ（INV2）の出力と、前記バッファ回路の活性化と非活性化を制御する選択制御信号又はその反転信号を、3つの入力端子からそれぞれ入力し、前記選択制御信号が、前記バッファ回路の活性化を指示する値とされており、前記3つの入力端子から入力される信号がともに、前記第2の論理レベルのときに、前記第2のトランジスタ（NM1）をオン状態とする論理レベルの信号を、出力端子から前記第2のトランジスタの制御端子に出力し、前記選択制御信号が前記バ

ッファ回路の非活性化を指示しているときには、他の 2 つの入力信号の値によらず、前記第 2 のトランジスタをオフ状態とする論理レベルの信号を、出力端子から前記第 2 のトランジスタの制御端子に出力する論理回路（N O R 3）と、を備えている。かかる構成の本発明によれば、h i g h レベル出力の高速性を維持しながら、クロックの供給・停止を制御することができる。なお、本発明において、上記した各実施の形態のバッファ回路を組合せた構成としてもよいことは勿論である。

【 0 0 3 0 】

【実施例】

上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して以下に説明する。図 1 は、本発明の一実施例のバッファ回路の構成を示す図である。図 1 を参照すると、この実施例のバッファ回路は、CMOS プロセスで構成されており、入力端子 I N に供給される入力信号を受け、該入力信号を反転した信号を出力端子 O U T から出力する反転バッファ回路であり、高位側電源 V D D にソースが接続された P チャネル MOS トランジスタ（「PMOS トランジスタ」という）P M 1 と、ソースが低位側電源 V S S に接続された N チャネル MOS トランジスタ（「NMOS トランジスタ」という）N M 1 を備え、PMOS トランジスタ P M 1 のドレインと NMOS トランジスタ N M 1 のドレインの接続ノードを、バッファ回路の出力端子 O U T としている。

【 0 0 3 1 】

PMOS トランジスタ P M 1 は、バッファ回路の入力端子 I N にゲートが接続されており、入力端子 I N に供給される入力信号が h i g h （高）レベルのときオフ状態とされ、入力信号電圧が下がり、電源電圧 V D D からしきい値電圧の絶対値 $|V_{tp}|$ を差し引いた値、 $VDD - |V_{tp}|$ 以下になったときオンして、出力端子 O U T を電源 V D D から充電して、電源電圧 V D D 側に遷移させる。すなわち、出力信号が l o w レベルから h i g h レベルに立ち上がる。

【 0 0 3 2 】

バッファ回路の入力端子 I N と、NMOS トランジスタ N M 1 のゲートの間には、インバータ I N V 1 と、インバータ I N V 1 の出力を一の入力端子から入力